

ABSTRAK

Pemodelan dan karakterisasi perilaku nonlinear penguat daya RF LDMOSFET telah dilakukan. Pada projek ini, kami menggunakan LDMOSFET sebagai devais aktif untuk diteliti. Pekerjaan penelitian dimulai dengan mengukur karakteristik I-V transistor menggunakan *curve tracer* dilanjutkan dengan penyesuaian antara model nonlinier TOM dan data yang terukur. Kesalahan penyesuaian sekitar 2 % pada mode saturasi dan 4 % pada mode triode.

Hasil simulasi menunjukkan bahwa bias memengaruhi perilaku IMD FET. Level IMD tinggi pada V_{GS} dekat tegangan *threshold*, tetapi kemudian menurun seiring kenaikan V_{GS} (dalam hal ini kami meneliti sampai nilai V_{GS} dimana penguat beroperasi pada kelas AB). Bias drain juga memengaruhi IMD FET. Kenaikan V_{DS} dari 5 V menjadi 8 V menyebabkan minimum IMD orde ketiga turun hampir 20 dB. Selain itu, perubahan resistansi beban dan daya masukan memengaruhi IMD.

Kata-kata kunci : LDMOSFET, penguat daya, dan IMD.

ABSTRACT

A modelling and characterization of nonlinear behavior of RF LDMOSFET amplifier has been done. In this project, we used LDMOS D2081UK as an active device to be investigated. We first measured FET IV characteristics using curve tracer. Then, we fitted TOM nonlinear model to measured data. The error of model fitting is about 2 % at saturation mode, and 4 % at triode mode.

Simulation results show that biasing affects the IMD of FET. IMD levels are high as gate-bias near threshold voltage, but as the gate bias increases these levels decrease (in this case, we investigate until gate-bias that is the amplifier operated in class AB). Drain bias also affects IMD of FET. As drain bias increases from 5 V to 8 V, the minimum third order IMD level decreases about 20 dB. Load resistance and input power variation also affects the IMD.

Keywords : LDMOSFET, power amplifier, and IMD.

DAFTAR ISI

Abstrak	i
Daftar Isi	ii
Daftar Gambar	iv
BAB I PENDAHULUAN	
1.1 Latar Belakang Masalah	1
1.2 Perumusan Masalah	2
1.3 Tujuan Penelitian	3
1.4 Metode Penelitian	3
1.5 Struktur Laporan Penelitian	3
BAB II TINJAUAN PUSTAKA	
2.1 LDMOSFET	5
2.2 Model-model Nonlinear FET	10
2.3 Penguat Daya MW/RF	15
2.3 Sistem Linier dan Nonlinear	20
2.4 Metode Analisis Nonlinear	22
2.5 Karakterisasi Distorsi Intermodulasi Dua-nada	25

BAB III HASIL DAN DISKUSI

3.1 Pemodelan Nonlinear Devais Aktif 30

3.2 Karakterisasi Nonlinear Devais Aktif 34

BAB IV SIMPULAN DAN SARAN

4.1 Simpulan 45

4.2 Saran 46

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR GAMBAR

Gambar 2.1 Struktur dasar LDMOSFET.	6
Gambar 2.2 Kurva karakteristik I-V FET secara umum	7
Gambar 2.3 Model sinyal kecil LDMOS silikon	8
Gambar 2.4 Topologi penguat daya <i>source</i> bersama	15
Gambar 2.5 Titik-titik <i>bias</i> yang mungkin untuk penguat kelas A, B, dan AB	17
Gambar 2.6 Diagram penguat daya <i>source</i> bersama dengan jaringan penyesuai masukan dan keluaran	18
Gambar 2.7 Devais/sistem dengan masukan $x(t)$ dan keluaran $y(t)$	20
Gambar 2.8 Resistor nonlinear dapat diubah menjadi resistor linear paralel dengan sumber arus nonlinear	23
Gambar 2.9 Diagram alir analisis keseimbangan harmonik	25
Gambar 2.10 Spektrum keluaran penguat daya untuk masukan dua nada	28
Gambar 2.11 Titik perpotongan IMD orde ketiga dan fundamental (IP3)	28
Gambar 2.12 Ilustrasi letak titik 1 dB di bawah kompresi gain (P_{1dB})	29
Gambar 3.1 Rangkaian yang digunakan dalam pengukuran untuk mendapatkan karakteristik I–V transistor	31
Gambar 3.2 Kurva karakteristik I_{DS} - V_{DS} LDMOS D2081UK hasil pengukuran pada $V_{GS} = 2,0$ V; 2,2 V; 2,4 V; 2,6 V; 2,8 V; 3V	31

Gambar 3.3 Kurva karakteristik I_{DS} - V_{GS} LDMOS D2081UK hasil pengukuran pada $V_{DS} = 1,0$ V; 3,0 V; 5,0 V; dan 7,0 V	32
Gambar 3.4 Kurva karakteristik I_{DS} - V_{DS} hasil pemodelan (garis) dan hasil pengukuran (kotak)	33
Gambar 3.5 Kurva karakteristik I_{DS} - V_{GS} hasil pemodelan (garis) dan hasil pengukuran (kotak)	34
Gambar 3.6 Turunan FET terhadap tegangan bias v_{gs}	35
Gambar 3.7 Skema penguat daya konfigurasi <i>source</i> bersama	36
Gambar 3.8 Rangkaian ekivalen penguat daya Gambar 3.7	36
Gambar 3.9 Daya keluaran terhadap tegangan bias V_{GS} untuk $V_{DS} = 8$ V, $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm	39
Gambar 3.10 Daya keluaran terhadap tegangan bias V_{DS} untuk $V_{GS} = 2,2$ V, $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm.	40
Gambar 3.11 Daya keluaran terhadap tegangan bias V_{GS} untuk $V_{DS} = 5$ V (tegas) dan $V_{DS} = 8$ V (putus-putus), $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm	40
Gambar 3.12 Daya keluaran terhadap resistansi beban untuk $V_{GS} = 2,2$ V dan $V_{DS} = 8$ V	41
Gambar 3.13 Daya keluaran terhadap V_{GS} untuk resistansi beban 25Ω (tegas) dan 50Ω (putus-putus), $V_{DS} = 8$ V	42

Gambar 3.14 Daya keluaran terhadap daya masukan untuk $V_{GS} = 1,8$ V (tegas)

dan $V_{GS} = 2,2$ V (putus-putus) 43

Gambar 3.15 Daya keluaran terhadap V_{GS} untuk $P_{in} = -10$ dBm (tegas) dan

0 dBm (putus-putus) 44