

BAB III

HASIL DAN DISKUSI

Bab ini berisi hasil dan diskusi. Pekerjaan penelitian dimulai dengan melakukan pengukuran karakteristik I-V transistor. Kemudian dilanjutkan dengan penyesuaian (*fitting*) hasil tersebut menggunakan model TOM. Terakhir, didiskusikan hasil kajian mengenai pengaruh *bias*, resistansi beban, dan daya masukan terhadap perilaku nonlinear devais aktif penguat daya.

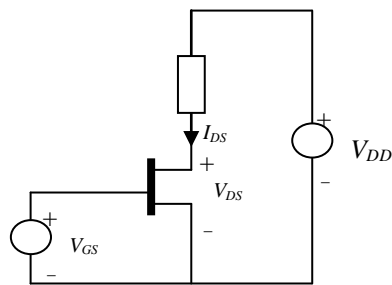
3.1 Pemodelan Nonlinear Devais Aktif

3.1.1 Pengukuran karakteristik I-V

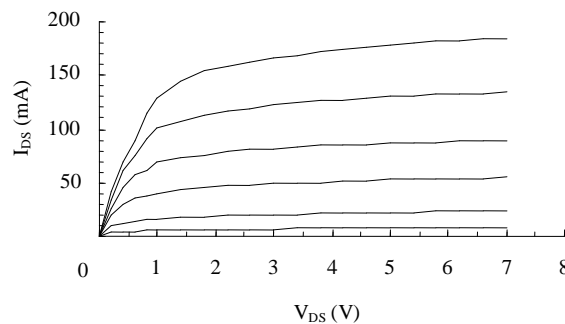
Pengukuran karakteristik I-V transistor dilakukan menggunakan *curve-tracer*. Konfigurasi rangkaian yang digunakan adalah *source* bersama, seperti yang ditunjukkan pada Gambar 3.1. Di sini, perubahan arus *drain*, I_{DS} , terhadap tegangan *drain-source*, V_{DS} , pada beberapa harga tegangan *gate-source*, V_{GS} , tertentu diukur. Data-data hasil pengukuran (I_{DS} , V_{DS}) pada beberapa nilai V_{GS} dapat dilihat pada lampiran C.

Gambar 3.2 menunjukkan kurva karakteristik I_{DS} - V_{DS} LDMOS D2081UK. Pengukuran I_{DS} - V_{DS} dilakukan pada rentang $V_{GS} = 1 - 3$ V dengan spasi 0.2 V.

Pengukuran pada V_{GS} di atas 3 V tidak dilakukan karena pada tegangan tersebut transistor sudah menunjukkan gejala *breakdown*. Demikian pula pada tegangan V_{DS} kurang dari 1 V, pengukuran tidak dilakukan, berkaitan dengan anggapan awal bahwa tegangan ambang transistor di atas 1 V.



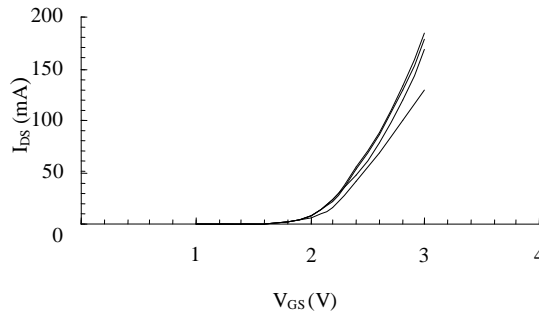
Gambar 3.1 Rangkaian yang digunakan dalam pengukuran untuk mendapatkan karakteristik I–V transistor.



Gambar 3.2 Kurva karakteristik I_{DS} - V_{DS} LDMOS D2081UK hasil pengukuran pada $V_{GS} = 2,0$ V; 2,2 V; 2,4 V; 2,6 V; 2,8 V dan 3V.

Dari Gambar 3.2 terlihat bahwa kurva pada V_{DS} tinggi (saturasi) memiliki kemiringan positif. Ini menunjukkan bahwa transistor memiliki konduktansi yang positif dan efek termal tidak terlihat. Umumnya efek termal berupa pemanasan sendiri (*self-heating*) dapat terjadi pada V_{GS} dan V_{DS} tinggi yang mengakibatkan

kemiringan kurva negatif. Untuk menghindari efek pemanasan sendiri biasanya dilakukan pengukuran pulsa (*pulse measurement*).



Gambar 3.3 Kurva karakteristik I_{DS} - V_{GS} LDMOS D2081UK hasil pengukuran pada $V_{DS} = 1,0$ V; 3,0 V; 5,0 V; dan 7,0 V

Kurva I_{DS} - V_{GS} hasil pengukuran ditunjukkan pada Gambar 3.3. Dari gambar tersebut terlihat bahwa LDMOS D2081UK memiliki tegangan ambang (*threshold*), V_{T0} , $\sim 1,7$ V. Ini menunjukkan bahwa transistor mulai bekerja, arus mengalir dari *drain* ke *source*, pada tegangan $V_{GS} = 1,7$ V tersebut. Tegangan ambang ini masih berada dalam rentang 1 – 7 V seperti yang diberikan pada lembar data pabrik.

3.1.2 Model TOM terhadap hasil pengukuran

Dari berbagai model nonlinear yang sudah ada, ternyata model TOM (*Triquint Owned Model*) merupakan model yang paling sesuai untuk transistor yang kami gunakan. Penyesuaian antara model dan hasil pengukuran dilakukan

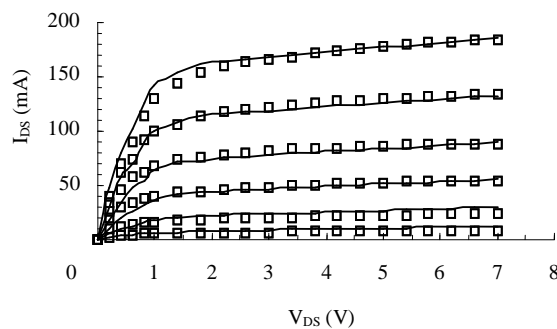
menggunakan bantuan FET FIT 7.5.1. Parameter-parameter model TOM untuk LDMOS D2081UK ini ditunjukkan pada Tabel 3-1 berikut.

Tabel 3-1

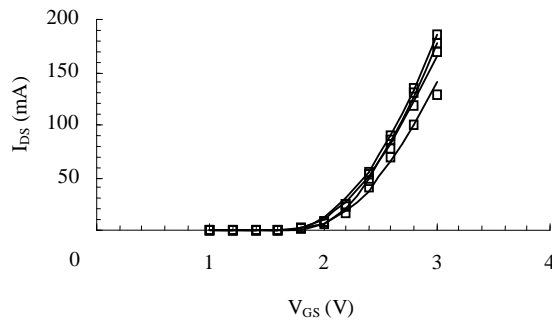
Parameter model TOM untuk LDMOS D2081UK

No.	Simbol	Nama Parameter	Nilai	Satuan
1	q	Parameter q	2.1767	-
2	δ	Parameter delta	5.35506e-05	W ⁻¹
3	γ	Parameter gamma	0,015469	-
4	α	Parameter alfa	1.30791	V ⁻¹
5	β	Parameter beta	0,0883621	S
6	vto	Tegangan <i>threshold</i>	1.70019	V

Hasil penyesuaian model dan pengukuran ditunjukkan pada Gambar 3.4 dan Gambar 3.5, berturut-turut untuk penyesuaian $I_{DS}-V_{DS}$ dan $I_{DS}-V_{GS}$. Penyesuaian hasil pengukuran dengan model ini memiliki kesalahan (*error*) sekitar 2% pada mode saturasi dan 4 % pada mode triode.



Gambar 3.4 Kurva karakteristik $I_{DS}-V_{DS}$ hasil pemodelan (garis) dan hasil pengukuran (kotak).



Gambar 3.5 Kurva karakteristik I_{DS} - V_{GS} hasil pemodelan (garis) dan hasil pengukuran (kotak).

3.2 Karakterisasi Nonlinear Devais Aktif

3.2.1 Turunan FET

Perilaku nonlinear penguat daya berasal dari nonlinearitas arus *drain-source*, i_{ds} , terhadap tegangan masukan, v_{gs} . Hubungan antara keduanya dapat dinyatakan dalam deret Taylor sebagai berikut:

$$i_{ds} = g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 \quad (3.1)$$

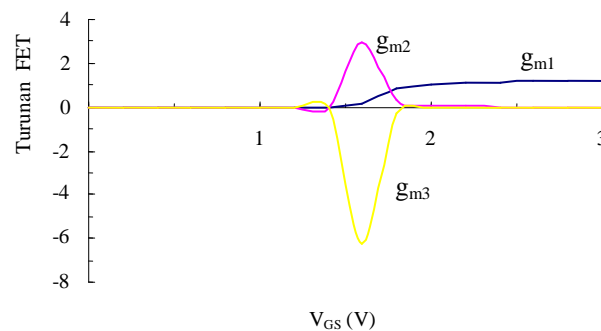
dengan g_{mi} menyatakan transkonduktansi orde ke- i dan merupakan *turunan parsial* dari i_{ds} terhadap v_{gs} yang berkaitan sebagai berikut:

$$g_{m1} = \frac{\partial i_{ds}}{\partial v_{gs}} \quad (3.2)$$

$$g_{m2} = \frac{\partial^2 i_{ds}}{\partial v_{gs}^2} \quad (3.3)$$

$$g_{m3} = \frac{\partial^3 i_{ds}}{\partial v_{gs}^3} \quad (3.4)$$

Turunan FET masih merupakan fungsi dari tegangan bias V_{GS} . Grafik turunan FET terhadap tegangan bias, V_{GS} , untuk LDMOSFET D2081UK, ditunjukkan pada Gambar 3.6. Gambar ini menunjukkan bahwa pada daerah di bawah tegangan ambang (*threshold*), semua turunan FET cenderung nol. Mulai sekitar tegangan ambang, turunan orde pertama naik dengan kemiringan cukup besar dan kemudian menuju saturasi pada tegangan di atas $\sim 2V$. Turunan orde kedua naik cukup tajam hingga mencapai maksimum pada V_{GS} sekitar 1,6V dan selanjutnya turun lagi. Di atas 1,8V turunan orde kedua mendatar mendekati nol. Turunan orde ketiga memiliki nilai minimum pada tegangan $V_{GS}=1,4 V$.

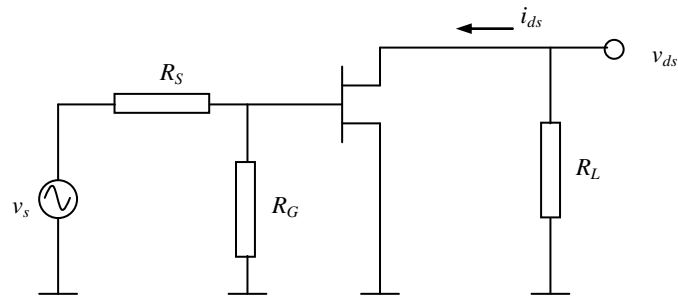


Gambar 3.6 Turunan FET terhadap tegangan bias v_{gs} .

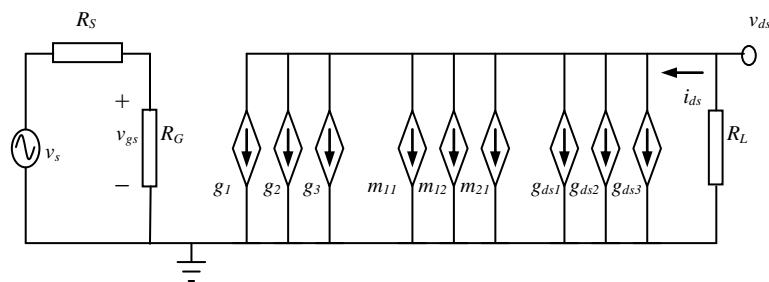
3.2.2 Mekanisme distorsi intermodulasi

Sebelum mendiskusikan hasil mengenai pengaruh *bias* dan beban pada distorsi, terlebih dahulu kita tinjau formulasi matematis mekanisme distorsi. Untuk itu,

anggap skema penguat daya *source* bersama seperti yang ditunjukkan pada Gambar 3.7.



Gambar 3.7 Skema penguat daya konfigurasi *source* bersama.



Gambar 3.8 Rangkaian ekivalen penguat daya Gambar 3.7.

Analisis deret Volterra dapat digunakan untuk mengetahui parameter-parameter yang memengaruhi karakteristik distorsi secara umum. Untuk menyederhanakan analisis, kita menganggap bahwa impedansi masukan FET sangat besar (tak hingga). Keadaan ini dapat didekati jika frekuensi masukan relatif kecil, dalam orde puluhan sehingga kapasitansi *gate-source*, C_{gs} , terlihat sebagai masukan impedansi sangat tinggi (terbuka). Rangkaian ekivalen penguat daya untuk analisis deret Volterra ditunjukkan pada Gambar 3.8.

Arus *drain-source* di sekitar titik kerja dapat dinyatakan oleh persamaan:

$$\begin{aligned}
 i_{ds} = & g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 \\
 & + g_{ds1}v_{ds} + g_{ds2}v_{ds}^2 + g_{ds3}v_{ds}^3 \\
 & + m_{11}v_{gs}v_{ds} + m_{21}v_{gs}^2v_{ds} + m_{12}v_{gs}v_{ds}^2
 \end{aligned} \tag{3.5}$$

dengan g_{m1} , g_{m2} , dan g_{m3} menyatakan transkonduktansi orde ke-1, 2, dan 3; g_{ds1} , g_{ds2} , dan g_{ds3} menyatakan transkonduktansi keluaran orde ke-1, 2, dan 3; m_{11} , m_{21} , dan m_{12} menyatakan koefisien “silang” berkaitan dengan v_{gs} dan v_{ds} sekaligus. Semua koefisien di atas merepresentasikan turunan dari Persamaan (3.5), dan dalam hal ini disebut koefisien intrinsik.

Sekarang tinjau dua sumber masukan dengan amplitudo sama dan frekuensi masing-masing ω_1 dan ω_2 sebagai berikut:

$$v_s = A \left[\cos \omega_1 t + \cos \omega_2 t \right] \tag{3.6}$$

Untuk $R_G = R_S$, sesuai konsep pembagi tegangan, maka

$$v_{gs} = \frac{v_s}{2} = \frac{A}{2} \left[\cos \omega_1 t + \cos \omega_2 t \right] \tag{3.7}$$

Persamaan (3.7) disubstitusikan ke Persamaan (3.5) dengan menggunakan analisis deret Volterra. Hasilnya sebagai berikut:

$$v_{ds}(\omega) = -g_{m1}R_{Lef}v_{gs}(\omega) \tag{3.8}$$

$$v_{ds}(2\omega) = R_{Lef} \left[m_{21}v_{gs}^2(\omega) + m_{11}v_{ds}(\omega)v_{gs}(\omega) + g_{ds2}v_{ds}^2(\omega) \right] \tag{3.9}$$

$$v_{ds}(3\omega) = R_{Lef} \left[\frac{1}{4} \left(g_{m3}v_{gs}^3(\omega) + m_{12}v_{ds}(\omega)v_{gs}^2(\omega) \right) + \frac{1}{2} \left(m_{21}v_{ds}^2(\omega)v_{gs}(\omega) + g_{ds3}v_{ds}^3(\omega) \right) \right] \tag{3.10}$$

dengan

$$R_{Lef} = \frac{R_L}{g_{ds1}R_L + 1} \quad (3.11)$$

Persamaan (3.9) dan Persamaan (3.10) diperoleh dengan memecahkan setiap komponen nonlinear secara iteratif pada frekuensi harmonik yang berkaitan. Prosedur yang sama dapat diterapkan untuk menghitung amplitudo tegangan pada frekuensi intermodulasi $\omega_1 - \omega_2$ dan $2\omega_1 - \omega_2$.

Untuk mendapatkan pemahaman intuitif dari hubungan-hubungan dan pentingnya persamaan di atas, diperlukan penyederhanaan asumsi. Dalam hal ini diasumsikan bahwa term kedua pada Persamaan (3.9) dan Persamaan (3.10) tidak terlalu memengaruhi karakteristik distorsi orde ketiga. Pendekatan ini cukup beralasan karena pengaruhnya sangat kecil.

Sesuai dengan asumsi di atas, kita dapat mendeduksi Persamaan (3.9) dan Persamaan (3.10) sebagai berikut:

$$\begin{aligned} v_{ds}(2\omega_1) &\approx v_{ds}(\omega_1 - \omega_2) \\ &\approx R_{Lef} v_{gs}^2(\omega_1) \left[\frac{1}{m_2} + m_{11}A_v + g_{ds2}A_v^2 \right] \end{aligned} \quad (3.12)$$

$$\begin{aligned} v_{ds}(3\omega_1) &\approx v_{ds}(2\omega_1 - \omega_2) \\ &\approx R_{Lef} v_{gs}^3(\omega_1) \left[\frac{1}{m_3} + m_{12}A_v + m_{21}A_v^2 + g_{ds3}A_v^3 \right] \end{aligned} \quad (3.13)$$

dengan

$$A_v = g_{m1}R_{Lef} \quad (3.14)$$

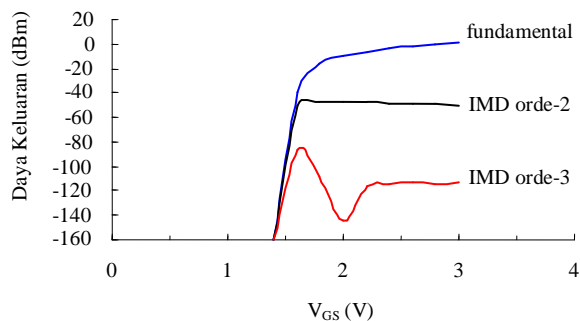
Parameter intrinsik Persamaan (3.5) diperoleh dari model TOM untuk LD MOS D2081UK. Analisis deret Volterra dari Persamaan (3.8) hingga

Persamaan (3.10) telah digunakan untuk mengamati bagaimana perubahan distorsi intermodulasi terhadap *bias* dan resistansi beban. Resistansi beban digunakan untuk memberikan variasi gain tegangan yang signifikan.

3.2.3 Pengaruh *bias* V_{GS} pada distorsi intermodulasi

Perilaku nonlinear penguat dapat diselidiki dengan mengamati plot distorsi sinyal kecil terhadap bias DC pada tegangan *drain-source* dan resistansi beban tetap. Pada penelitian ini, pengamatan dilakukan untuk LDMOSFET D2081UK dengan kondisi tegangan *drain-source* 8V, resistansi beban 50 Ω , dan daya masukan -30 dBm. Hasilnya ditunjukkan pada Gambar 3.9.

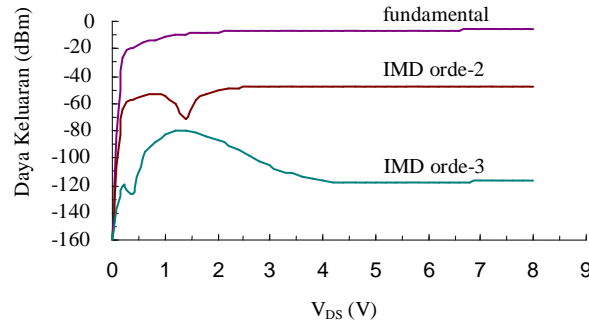
Dari Gambar 3.9 terlihat bahwa distorsi intermodulasi orde kedua maupun orde ketiga mencapai maksimum pada daerah dekat tegangan ambang. Nilai minimum distorsi orde ketiga terjadi pada $V_{GS} = 2V$ dengan level daya sekitar -140 dBm. Distorsi intermodulasi orde ketiga naik lagi sampai pada $V_{GS} = 2,2 V$ dan kemudian hampir konstan terhadap kenaikan V_{GS} .



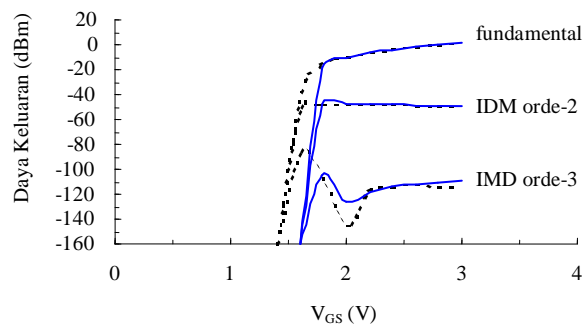
Gambar 3.9 Daya keluaran terhadap tegangan *bias* V_{GS} untuk $V_{DS} = 8 V$, $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm.

3.2.4 Pengaruh bias V_{DS} pada distorsi intermodulasi

Selain tegangan *gate-source*, tegangan *drain-source* pun memengaruhi perilaku nonlinear FET. Ini terlihat dari grafik yang ditunjukkan pada Gambar 3.10.



Gambar 3.10 Daya keluaran terhadap tegangan bias V_{DS} untuk $V_{GS} = 2,2$ V, $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm.



Gambar 3.11 Daya keluaran terhadap tegangan bias V_{GS} untuk $V_{DS} = 5$ V (tegas) dan $V_{DS} = 8$ V (putus-putus), $R_L = 50 \Omega$, dan $P_{in} = -30$ dBm.

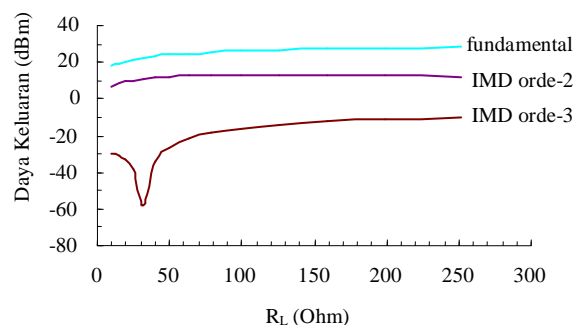
Dari Gambar 3.10 terlihat bahwa minimum distorsi intermodulasi orde kedua terjadi pada tegangan *drain-source* $\sim 1,4$ V. Sementara, minimum distorsi intermodulasi orde ketiga terjadi pada $\sim 0,4$ V dan memiliki nilai maksimum pada tegangan $\sim 1,4$ V dengan level daya ~ -90 dBm. Pada tegangan V_{DS} antara 1,4 V

hingga 4,2 V kurva distorsi intermodulasi orde ketiga menurun cukup besar. Selanjutnya, pada tegangan lebih besar dari 4,2 V, penurunannya relatif sangat kecil (hampir konstan).

Agar lebih jelas, pada Gambar 3.11 ditampilkan grafik distorsi intermodulasi terhadap perubahan tegangan bias V_{GS} untuk $V_{DS} = 5$ V dan 8 V. Dari gambar terlihat bahwa peningkatan V_{DS} dari 5V hingga 8V menyebabkan penurunan nilai minimum distorsi intermodulasi orde ketiga sekitar 20 dB.

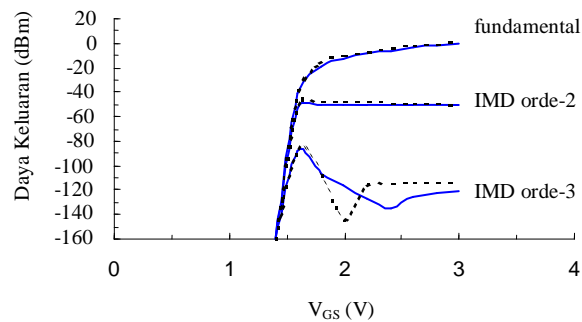
3.2.5 Pengaruh resistansi beban R_L pada distorsi

Pengaruh resistansi beban pada distorsi intermodulasi ditunjukkan pada Gambar 3.12. Dari grafik tersebut terlihat bahwa untuk resistansi beban kurang dari 50 Ω , perubahan daya keluaran terjadi cukup signifikan. Minimum distorsi intermodulasi orde ketiga terjadi pada resistansi beban ~ 31 Ω . Di atas 50 Ω , distorsi internodulasi orde ketiga meningkat perlahan seiring peningkatan nilai resistansi beban.



Gambar 3.12 Daya keluaran terhadap resistansi beban untuk $V_{GS} = 2,2$ V dan $V_{DS} = 8$ V.

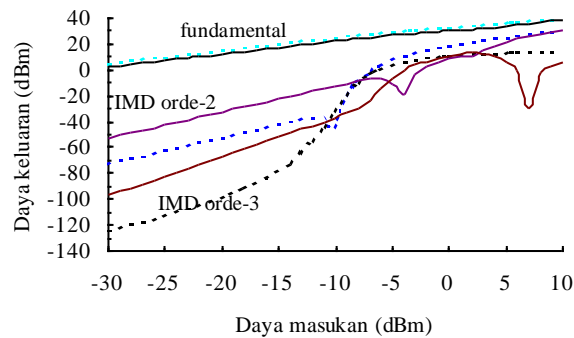
Gambar 3.13 menunjukkan distorsi intermodulasi terhadap tegangan bias V_{GS} untuk $V_{DS} = 8V$, $R_L = 25 \Omega$ dan 50Ω . Terlihat bahwa minimum distorsi intermodulasi orde ketiga mengalami pergeseran akibat perubahan resistansi beban ini.



Gambar 3.13 Daya keluaran terhadap V_{GS} untuk resistansi beban 25Ω (tegas) dan 50Ω (putus-putus), $V_{DS} = 8 V$.

3.2.6 Pengaruh daya masukan pada distorsi intermodulasi

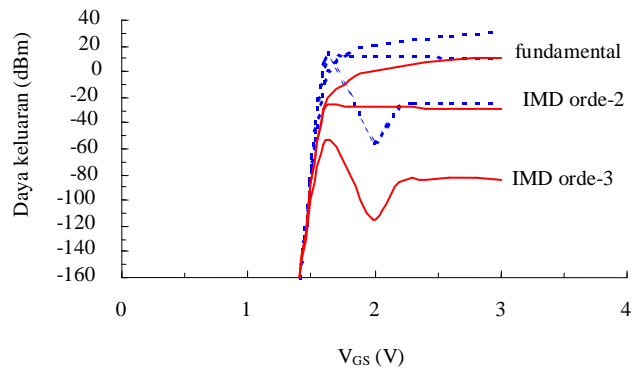
Perilaku nonlinear penguat daya juga dipengaruhi oleh level daya masukan. Gambar 3.14 memperlihatkan pengaruh daya masukan terhadap distorsi intermodulasi. Dari sini terlihat bahwa level distorsi intermodulasi bergantung pada titik kerja penguat. Pada penguat kelas B, pada kasus ini $V_{GS} = 1,8 V$, level distorsi intermodulasi lebih tinggi daripada kelas AB ($V_{GS} = 2,2 V$), pada masukan sinyal kecil. Jika masukan berupa sinyal besar, sekitar 0 dBm, level distorsi penguat kelas AB menjadi lebih tinggi. Selain itu, terlihat bahwa pada level sinyal kecil, kenaikan distorsi intermodulasi linier terhadap daya masukan. Sementara, pada level sinyal besar, produk distorsi meningkat.



Gambar 3.14 Daya keluaran terhadap daya masukan untuk $V_{GS} = 1,8$ V (tegas) dan $V_{GS} = 2,2$ V (putus-putus).

Selanjutnya, jika kita perpanjang kurva bagian linier pada Gambar 3.14 untuk fundamental dan distorsi intermodulasi orde ketiga, keduanya akan berpotongan di titik pada daya masukan ~ 15 dBm dan daya keluaran ~ 46 dBm ($IP3 = 46$ dBm) untuk $V_{GS} = 1,8$ V. Sedangkan untuk $V_{GS} = 2,2$ V, perpotongan terjadi pada daya masukan ~ 18 dBm dengan daya keluaran ~ 50 dBm ($IP3 = 50$ dBm).

Pengaruh daya masukan terhadap distorsi intermodulasi juga dapat terlihat jelas dari Gambar 3.15. Pada daerah kurang dari P_{1dB} , kenaikan level distorsi intermodulasi orde ketiga lebih besar dibandingkan dengan kenaikan level fundamental terhadap kenaikan daya masukan. Dengan kata lain, pada daerah ini ACPR meningkat seiring peningkatan daya masukan. Sementara itu, pada daerah daya saturasi, IMD orde ketiga juga menunjukkan saturasi, meskipun ada satu nilai pada daya masukan tertentu yang menunjukkan *notch* atau adanya ACPR yang kembali rendah.



Gambar 3.15 Daya keluaran terhadap V_{GS} untuk $P_{in} = -10$ dBm (tegas) dan 0 dBm (putus-putus).