

EKSTRAKSI PARAMETER SINYAL BESAR RF LDMOS D2081UK BERBASIS MODEL TOM

Aip Saripudin dan Agus Heri Setya Budi

Laboratorium Teknik Elektronika Industri, Jurusan Pendidikan Teknik Elektro,
Fakultas Pendidikan Teknologi dan Kejuruan, Universitas Pendidikan Indonesia

Jl. Dr. Setiabudhi 229 Bandung

e-mail: aipsaripudin@yahoo.com, agusheri@yahoo.com

ABSTRAK:

Ekstraksi parameter sinyal besar RF LDMOS D2081UK berbasis model TOM telah dilakukan. Pada proyek ini, kami menggunakan LDMOSFET sebagai devais aktif untuk diteliti. Pekerjaan penelitian dimulai dengan mengukur karakteristik I-V FET menggunakan *curve tracer* dilanjutkan dengan penyesuaian antara model nonlinier TOM dan data yang terukur. Kesalahan penyesuaian sekitar 2 % pada mode saturasi dan 4 % pada mode triode.

ABSTRACT:

Large signal parameter extraction of RF LDMOS D2081UK based on TOM model has been done. In this project, we used LDMOSFET as an active device to be investigated. We first measured FET I-V characteristics using curve tracer. Then, we fitted TOM nonlinear model to measured data. The error of model fitting is about 2 % at saturation mode, and 4 % at triode mode.

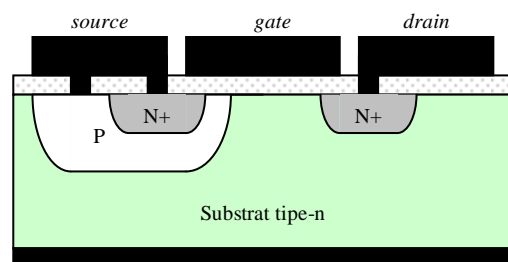
PENDAHULUAN

Pada awalnya, penguat daya gelombang mikro (MW) dan frekuensi radio (RF) untuk sistem komunikasi nirkabel tidak menggunakan devais berbasis silikon. Alasan utamanya adalah kinerja silikon yang tidak mendukung. Teknologi penguat daya MW/RF didominasi oleh teknologi GaAs karena GaAs memiliki kinerja dan efisiensi daya yang sangat baik pada frekuensi tinggi. Akan tetapi, keadaan tersebut berubah ketika lebar *gate* MOS dapat diperkecil hingga di bawah $0,5 \mu\text{m}$ sehingga dapat bekerja pada frekuensi tinggi. Devais kanal permukaan silikon dapat menghasilkan frekuensi maksimum lebih dari 65 GHz untuk panjang *gate* $0,1 \mu\text{m}$ dengan $V_{dd} = 2,0 \text{ V}$. Karena devais ini dapat beroperasi pada catu daya rendah, devais CMOS submikron untuk aplikasi linier frekuensi tinggi sedang mendapatkan banyak perhatian. Penguat daya LDMOS silikon menghasilkan kinerja dan efisiensi yang sangat baik pada daya keluaran tinggi pada 1,9 GHz hingga 2,6 GHz, menyaingi GaAs. Devais daya LDMOS silikon juga memberikan stabilitas yang baik dan konfigurasi rangkaian yang lebih sederhana daripada devais berbasis GaAs.

TINJAUAN PUSTAKA

Struktur Dasar LDMOSFET

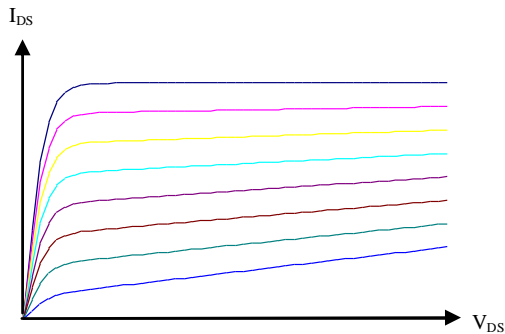
Struktur dasar LDMOSFET diilustrasikan pada Gambar 1. Seperti FET pada umumnya, LDMOSFET merupakan devais dengan tiga terminal yaitu *gate*, *drain*, dan *source*. Substratnya terbuat dari silikon tipe-n. *Drain* dan *source* merupakan daerah dengan doping N+. Akan tetapi, berbeda dengan MOSFET biasa, pada LDMOSFET daerah *source* (N+) berada pada daerah P yang didoping secara lateral. Doping P ini dimaksudkan untuk meningkatkan gain RF dan mencegah *punch-through* pada tegangan *drain-source*, V_{DS} , tinggi.



Gambar 1 Struktur dasar LDMOSFET.

Prinsip kerja

Prinsip kerja transistor dapat dipahami dari **Gambar 1**. Seperti FET pada umumnya, kerja LDMOS didasarkan pada pengaturan arus *drain* ke *source* oleh tegangan *gate*. Pada tegangan *gate-source*, V_{GS} , nol, *source* dan *drain* merupakan sambungan p-n yang terhubung saling membelakangi. Hanya arus bocor yang dapat mengalir dari *drain* ke *source*. Jika V_{GS} positif diberikan, lapisan inversi permukaan atau kanal dibentuk pada daerah p sehingga *source* dan *drain* terhubung oleh kanal n konduksi. Ketika tegangan *drain-source*, V_{DS} , diberikan, arus akan mengalir dari *drain* ke *source*. Konduktansi kanal ini dapat dimodulasikan dengan mengubah-ubah V_{GS} .

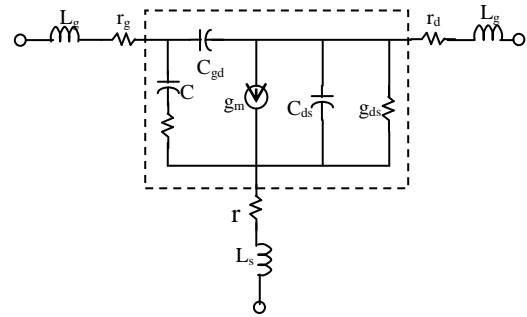


Gambar 2 Kurva karakteristik I-V FET secara umum.

Jika V_{DS} kecil diberikan, arus akan mengalir dari *drain* ke *source* melalui kanal konduksi. Kanal bertindak sebagai resistor dan arus *drain* sebanding dengan V_{DS} . Ini merupakan daerah linier. Jika tegangan *drain* meningkat, akan dicapai suatu titik dimana lebar kanal menjadi nol, disebut titik *pinch-off*. Pada titik *pinch-off*, arus *drain-source* relatif konstan. Arus drain sebagai fungsi V_{GS} dan V_{DS} ditunjukkan pada **Gambar 2**.

Model Sinyal Kecil FET

Model sinyal kecil adalah model transistor yang didedikasikan untuk masukan dengan amplitudo kecil. Pada masukan sinyal kecil transistor bekerja secara linier sehingga model ini disebut juga model linier. Pada dasarnya, meskipun setiap jenis FET memiliki struktur berbeda, model instrinsik sinyal kecilnya sama. Model instrinsik ini diperlihatkan pada **Gambar 1** dan parameter-parameter yang terkait dijelaskan secara singkat pada paragraf berikut.



Gambar 1 Model sinyal kecil LDMOS silikon. Rangkaian yang berada dalam kotak putus-putus adalah rangkaian instrinsik, sedangkan bagian luarnya adalah rangkaian ekstrinsik.

Transkonduktansi, g_m , menunjukkan seberapa besar perubahan arus *drain-source*, ΔI_{DS} , terhadap perubahan tegangan *gate-source*, V_{GS} , pada tegangan *drain-source*, V_{DS} , konstan. Secara matematis,

$$g_m = \left. \frac{\Delta I_{DS}}{\Delta V_{GS}} \right|_{V_{DS} \text{ konstan}} \quad (1)$$

Konduktansi keluaran, g_{ds} , adalah perubahan arus *drain-source* terhadap perubahan tegangan *drain-source* pada tegangan *gate-source* konstan. Konduktansi keluaran merupakan kemiringan grafik I_{DS} - V_{DS} pada daerah saturasi. Secara matematis,

$$g_{ds} = \left. \frac{\Delta I_{DS}}{\Delta V_{DS}} \right|_{V_{GS} \text{ konstan}} \quad (2)$$

Kapasitansi *gate-source*, C_{gs} , bergantung pada daerah deplesi di bawah *gate* dan konsentrasi pembawa pada kanal serta bergantung pada tegangan *gate* dan potensial kanal lateral. Kapasitansi ini terdistribusi dan secara resistif terhubung dengan kanal konduksi. Rangkaian masukan *gate-source* dapat dinyatakan dengan kombinasi seri terdistribusi dari kapasitansi C_{gs} dan R_i .

Kapasitansi *gate-drain*, C_{gd} , menyatakan jalur umpan balik antara *gate* dan *drain* akibat penggandengan antara *gate* dan *drain*. Kapasitansi ini juga terdistribusi dan terhubung dengan resistivitas kecil ke kanal konduksi.

Kapasitansi *drain-source*, C_{ds} , adalah kapasitansi yang muncul antara *drain* dan *source*. Kapasitansi ini juga berhubungan dengan jalur konduksi di dalam devais.

Selanjutnya, meskipun model instrinsik untuk semua FET umumnya sama, model yang berkaitan dengan bagian ekstrinsiknya berbeda, tergantung pada struktur devais FET tersebut. Tetapi, secara umum setiap LDMOS memiliki rangkaian ekuivalen ekstrinsik dasar yang hampir sama seperti yang terlihat pada **Gambar 1**. R_d dan L_d menyatakan resistansi dan

induktansi pada *drain*, R_s dan L_s menyatakan resistansi dan induktansi pada *source*, dan R_g dan L_g menyatakan resistansi dan induktansi pada *gate*.

Model sinyal besar; Model TOM

Model sinyal besar disebut juga model nonlinier, karena pada eksitasi sinyal besar, linieritas kerja transistor sudah tidak dapat dijamin lagi. Model nonlinier disusun dengan asumsi dasar bahwa karakteristik transistor sendiri tidak pernah benar-benar linier. Asumsi linier yang dibuat pada model sinyal kecil, hanyalah linier sepotong-sepotong kecil saja, yaitu sinyal bergerak pada daerah yang dapat diasumsikan linier karena perubahan harga g_m yang tidak terlalu besar pada daerah tersebut. Pada kenyataannya, harga g_m berubah-ubah karena fungsi yang menghubungkan I_{DS} dengan V_{gs} , bukanlah fungsi linier.

Dewasa ini telah banyak model nonlinier FET yang telah dikembangkan oleh beberapa ahli pemodelan, di antaranya adalah model TOM. Model ini menganggap bahwa arus *drain-source* memenuhi fungsi analitis dalam bentuk berikut:

$$I_{ds} = \frac{I_{ds0}}{1 + \delta V_{ds} I_{ds0}} \quad (5)$$

dengan

$$I_{ds0} = \beta [V_{gs} + \gamma(f)V_{ds} - V_{to}]_g^0 K \tanh(\alpha V_{ds}) \quad (6)$$

Beberapa fitur model TOM mudah mengendalikan penyesuaian (*fitting*) g_m sebagai fungsi V_{gs} , modulasi umpan balik elektrostatik (yakni, tegangan *pinch-off* yang besarnya meningkat terhadap peningkatan V_{ds}) dan merupakan cara pemodelan sederhana tentang kebergantungan R_{ds} pada V_{gs} , V_{ds} , dan temperatur kanal.

Model TOM juga memasukkan efek umpan balik *drain* bersamaan dengan pengurangan konduktansi drain yang disebabkan oleh pemanasan sambungan melalui penggunaan parameter δ .

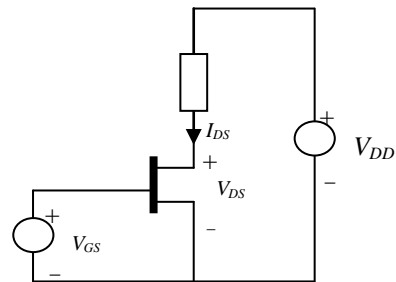
HASIL DAN PEMBAHASAN

Pengukuran Karakteristik I-V

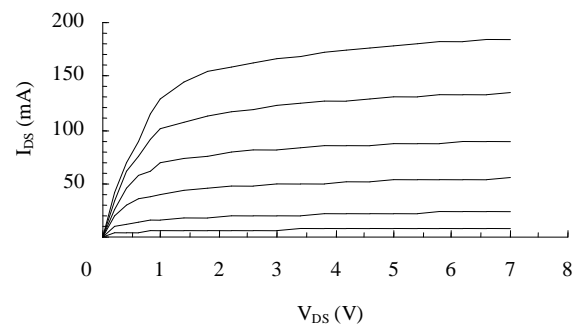
Pengukuran karakteristik I-V transistor dilakukan menggunakan *curve-tracer*. Konfigurasi rangkaian yang digunakan adalah *source* bersama, seperti yang ditunjukkan pada Gambar 3.1. Di sini, perubahan arus *drain*, I_{DS} , terhadap tegangan *drain-source*, V_{DS} , pada beberapa harga tegangan *gate-source*, V_{GS} , tertentu diukur. Data-data hasil pengukuran (I_{DS} , V_{DS}) pada beberapa nilai V_{GS} dapat dilihat pada lampiran C.

Gambar 3.2 menunjukkan kurva karakteristik I_{DS} - V_{DS} LDMOS D2081UK. Pengukuran I_{DS} - V_{DS} dilakukan pada rentang $V_{GS} = 1 - 3$ V dengan spasi 0.2 V. Pengukuran pada V_{GS} di atas 3 V tidak dilakukan

karena pada tegangan tersebut transistor sudah menunjukkan gejala *breakdown*. Demikian pula pada tegangan V_{DS} kurang dari 1 V, pengukuran tidak dilakukan, berkaitan dengan anggapan awal bahwa tegangan ambang transistor di atas 1 V.

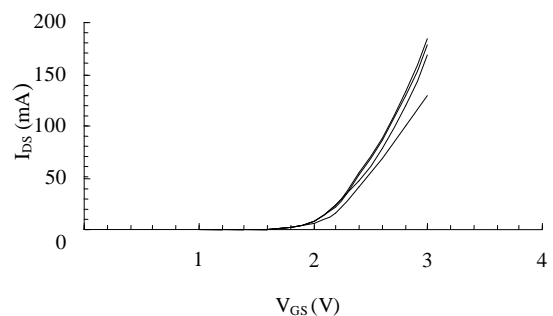


Gambar 3.1 Rangkaian yang digunakan dalam pengukuran untuk mendapatkan karakteristik I-V transistor.



Gambar 3.2 Kurva karakteristik I_{DS} - V_{DS} LDMOS D2081UK hasil pengukuran pada $V_{GS} = 2,0$ V; 2,2 V; 2,4 V; 2,6 V; 2,8 V dan 3V.

Dari Gambar 3.2 terlihat bahwa kurva pada V_{DS} tinggi (saturasi) memiliki kemiringan positif. Ini menunjukkan bahwa transistor memiliki konduktansi yang positif dan efek termal tidak terlihat. Umumnya efek termal berupa pemanasan sendiri (*self-heating*) dapat terjadi pada V_{GS} dan V_{DS} tinggi yang mengakibatkan kemiringan kurva negatif. Untuk menghindari efek pemanasan sendiri biasanya dilakukan pengukuran pulsa (*pulse measurement*).



Gambar 3.3 Kurva karakteristik I_{DS} - V_{GS} LDMOS D2081UK hasil pengukuran pada $V_{DS} = 1,0$ V; 3,0 V; 5,0 V; dan 7,0 V.

Kurva $I_{DS}-V_{GS}$ hasil pengukuran ditunjukkan pada Gambar 3.3. Dari gambar tersebut terlihat bahwa LDMOS D2081UK memiliki tegangan ambang (*threshold*), V_{T0} , $\sim 1,7$ V. Ini menunjukkan bahwa transistor mulai bekerja, arus mengalir dari *drain* ke *source*, pada tegangan $V_{GS} = 1,7$ V tersebut. Tegangan ambang ini masih berada dalam rentang 1 – 7 V seperti yang diberikan pada lembar data pabrik.

3.1.1 Model TOM terhadap hasil pengukuran

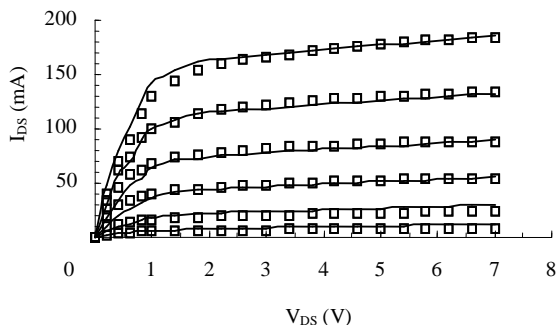
Dari berbagai model nonlinier yang sudah ada, ternyata model TOM (*Triquint Owned Model*) merupakan model yang paling sesuai untuk transistor yang kami gunakan. Penyesuaian antara model dan hasil pengukuran dilakukan menggunakan bantuan FET FIT 7.5.1. Parameter-parameter model TOM untuk LDMOS D2081UK ini ditunjukkan pada Tabel 3-1 berikut.

Tabel 3-1

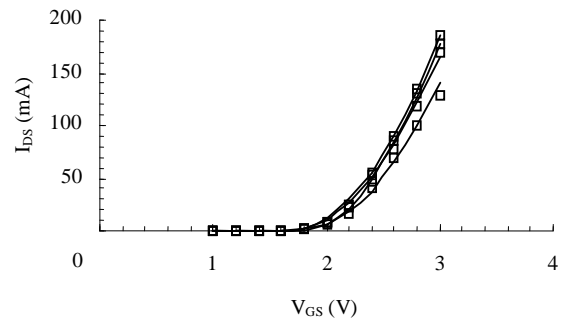
Parameter model TOM untuk LDMOS D2081UK

No.	Simbol	Nama Parameter	Nilai	Satuan
1	q	Parameter q	2.1767	-
2	δ	Parameter delta	5.35506e-05	W^{-1}
3	γ	Parameter gamma	0,015469	-
4	α	Parameter alfa	1.30791	V^{-1}
5	β	Parameter beta	0,0883621	S
6	vto	Tegangan <i>threshold</i>	1.70019	V

Hasil penyesuaian model dan pengukuran ditunjukkan pada Gambar 3.4 dan Gambar 3.5, berturut-turut untuk penyesuaian $I_{DS}-V_{DS}$ dan $I_{DS}-V_{GS}$. Penyesuaian hasil pengukuran dengan model ini memiliki kesalahan (*error*) sekitar 2% pada mode saturasi dan 4% pada mode triode.



Gambar 3.4 Kurva karakteristik $I_{DS}-V_{DS}$ hasil pemodelan (garis) dan hasil pengukuran (kotak).



Gambar 3.5 Kurva karakteristik $I_{DS}-V_{GS}$ hasil pemodelan (garis) dan hasil pengukuran (kotak).

Turunan FET

Perilaku nonlinier penguat daya berasal dari nonlinieritas arus *drain-source*, i_{ds} , terhadap tegangan masukan, v_{gs} . Hubungan antara keduanya dapat dinyatakan dalam deret Taylor sebagai berikut:

$$i_{ds} = g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 \quad (3.1)$$

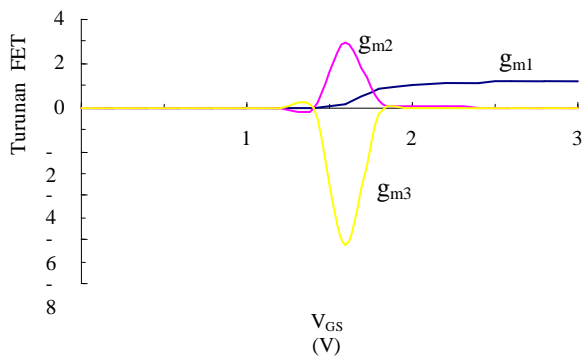
dengan g_{mi} menyatakan transkonduktansi orde ke- i dan merupakan *turunan parsial* dari i_{ds} terhadap v_{gs} yang berkaitan sebagai berikut:

$$g_{m1} = \frac{\partial i_{ds}}{\partial v_{gs}} \quad (3.2)$$

$$g_{m2} = \frac{\partial^2 i_{ds}}{\partial v_{gs}^2} \quad (3.3)$$

$$g_{m3} = \frac{\partial^3 i_{ds}}{\partial v_{gs}^3} \quad (3.4)$$

Turunan FET masih merupakan fungsi dari tegangan bias V_{GS} . Grafik turunan FET terhadap tegangan bias, V_{GS} , untuk LDMOSFET D2081UK, ditunjukkan pada Gambar 3.6. Gambar ini menunjukkan bahwa pada daerah di bawah tegangan ambang (*threshold*), semua turunan FET cenderung nol. Mulai sekitar tegangan ambang, turunan orde pertama naik dengan kemiringan cukup besar dan kemudian menuju saturasi pada tegangan di atas $\sim 2V$. Turunan orde kedua naik cukup tajam hingga mencapai maksimum pada V_{GS} sekitar 1,6V dan selanjutnya turun lagi. Di atas 1,8V turunan orde kedua mendatar mendekati nol. Turunan orde ketiga memiliki nilai minimum pada tegangan $V_{GS}=1,4$ V.



Gambar Turunan FET terhadap tegangan bias v_{gs} .

SIMPULAN

Hasil pemodelan nonlinier menunjukkan bahwa LDMOSFET D2081UK memiliki kesesuaian dengan model TOM. Kesalahan (*error*) hasil penyesuaian model terhadap data hasil pengukuran relatif kecil, yakni sekitar 2% untuk karakteristik I_{DS} - V_{DS} saturasi, dan sekitar 4% untuk karakteristik I_{DS} - V_{DS} daerah triode. Ini menunjukkan bahwa nilai parameter yang diperoleh memiliki ketelitian yang cukup.

PUSTAKA

- [1] Agahi, D., Domino, W., and Vakilian, N., "Two-tone vs. Single-tone Measurement of Second Order Nonlinearity", *Microwave Journal*, Vol. 45, No. 3, pp. 82-104, March 2002.
- [2] Ataei, Gholamreza, "Design of Linear and Nonlinear Circuits Using Derivative Superposition", Ph.D dissertation in University College London, Februari 2000.
- [3] Kenney, J. S., "Overview of Linearization Options for High Data Rate Wireless Communications", The RAWCON 2001 Workshop: Methods and Concepts for Power Amplifier Linearization, August 20, 2001.
- [4] Errede, Steve, Prof., "Theory of Distortion II" UIUC Physics 398EMI, Department of Physics, University of Illinois at Urbana-Champaign, IL, 2000.
- [5] Maury Microwave Corporation, "Theory of Intermodulation Distortion Measurement", <http://www.maurymw.com>, 27 July 1999.
- [6] Sun, Jia, "A New BJT Linearizer Design for RF Amplifier", APMC Sydney Australia, 3-6 December 2000.
- [7] Haskins, C.B. "Diode Predistortion Linearization for Power Amplifier RFICs in Digital Radios", Master Thesis at Virginia Polytechnic Institute and State University, Blacksbutg, VA, April 2000.
- [8] Passiopoulos, G., Webster D.R., Parker, A.E., and Haigh, D.G., "Nonlinear Common Source MESFET Behavior and Model Validation" IEEE paper, 1995.
- [9] Parker, A. E. and Skellern, D. J., "A Realistic Large-signal MESFET Model for SPICE", IEEE Trans. on Microwave Theory and Techniques, vol. MTT-45, no. 9, Sep. 1997, pp. 1563-1571.
- [10] Qu, G., and Parker, A.E., "Analysis of Intermodulation in HEMT Common Source Amplifier", ISRMAT, 1997.
- [11] Jakonis, D., "Analysis of Intermodulation Distortion", Electronics Devices ISY, LiU, <http://www.isy.liu.se>.
- [12] TELtron, "Amplifier Linearization", <http://www.google.com>.
- [13] Maas, S., "What You Need To Know About Volterra-Series Analysis", Applied Wave Research, Inc., 1999.
- [14] Jang, Jaejune, "RF LDMOS Characterization and Its Compact Modeling", MTT-Symposium, 2001.
- [15] Maas, S.A., "FET Models for Volterra Series Analysis", Applied Wave Research Inc., 1999.